

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-122092

(P2000-122092A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 4 2
G 0 2 B 5/00		G 0 2 B 5/00	B 2 H 0 9 1
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335	5 0 0 2 H 0 9 2
G 0 9 F 9/35		G 0 9 F 9/35	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z 5 F 1 1 0

審査請求 未請求 請求項の数 2 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願平10-297004

(22) 出願日 平成10年10月19日 (1998. 10. 19)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方 3 丁目 201 番地

(72) 発明者 山内 隆夫

鳥取県鳥取市南吉方 3 丁目 201 番地 鳥取

三洋電機株式会社内

(74) 代理人 100076794

弁理士 安富 耕二 (外 1 名)

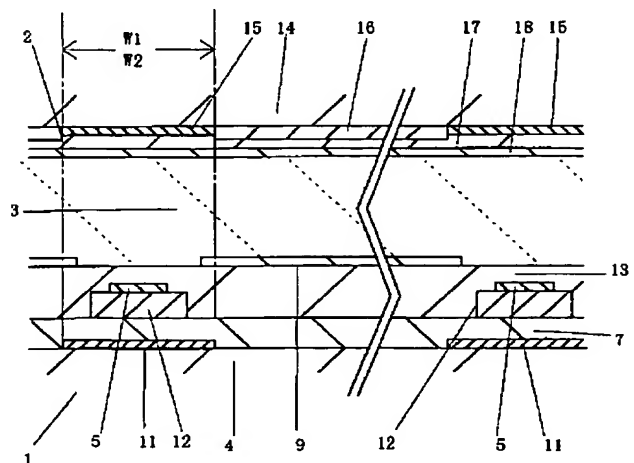
最終頁に続く

(54) 【発明の名称】 トランジスタアレイ基板及び液晶表示装置

(57) 【要約】

【目的】 開口率の向上と上下の基板の重合わせマージンの拡大を図ること。

【構成】 透明基板 4 上にデータ線 5 とゲート線を層間絶縁膜 7 を介在して交差配置し、その交点に画素電極 9 と薄膜トランジスタをマトリクス状に設けたトランジスタアレイ基板 1 と、この基板 1 に液晶層 3 を介在して対向配置される対向基板 2 とを備える液晶表示装置において、前記トランジスタアレイ基板 1 は、前記データ線 5 の下方に層間絶縁膜 7 を介して前記データ線 5 よりも幅広の遮光パターン 11 を配置し、前記対向基板 2 は、画素領域に対応する開口を有するブラックマトリクス 15 を備えることを特徴とする。



【特許請求の範囲】

【請求項 1】 透明基板上にデータ線とゲート線を層間絶縁膜を介在して交差配置し、前記データ線とゲート線によって区画される画素領域に画素電極とこれをスイッチングする薄膜トランジスタをマトリクス状に設けたトランジスタアレイ基板において、前記データ線の下方に層間絶縁膜を介してデータ線よりも幅広の遮光パターンを配置したことを特徴とするトランジスタアレイ基板。

【請求項 2】 透明基板上にデータ線とゲート線を層間絶縁膜を介在して交差配置し、その交点に画素電極と薄膜トランジスタをマトリクス状に設けたトランジスタアレイ基板と、このトランジスタアレイ基板に液晶層を介在して対向配置される対向基板とを備える液晶表示装置において、前記トランジスタアレイ基板は、前記データ線の下方に層間絶縁膜を介して前記データ線よりも幅広の遮光パターンを配置し、前記対向基板は、前記画素領域に対応する開口を有するブラックマトリクスを備えることを特徴とする液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、トランジスタアレイ基板及びそれを用いた液晶表示装置に関する。

【0002】

【従来の技術】 トランジスタアレイ基板を用いる一般的な液晶表示装置においては、透明基板に画像信号を供給するデータ線および走査信号を供給するゲート線が格子状に配置されて、各画素領域が区画形成された基板と、透明基板に共通電極が形成された対向基板との間に液晶が封入されており、共通電極と各画素領域の画素電極との間に印加される電位を制御して、画素領域毎の液晶の配向状態を変えるようになっている。

【0003】 このような液晶表示装置においては、その画素毎の表示の精彩度を高めるために、共通電極が形成された対向基板に画素領域間の境界領域に対応して遮光性のブラックマトリクスが形成されており、この画素領域間の境界領域にブラックマトリクスが位置するように 2 枚の基板を対向させている。ここで、各画素領域間の境界領域とブラックマトリクスとの間に位置ずれが発生していると、表示の品質が低下してしまうため、ブラックマトリクスの幅にマージン（許容寸法）をもたせて、上述の位置ずれが発生することを防止している。ブラックマトリクスの幅をマージンをもつように広げておくことは、画素領域における開口率（表示可能な領域の面積比）の低下を招き、表示品質の向上を妨げるという問題点がある。

【0004】 そこで、トランジスタアレイ基板の側にもブラックマトリクスを形成して二重遮光構造としておくことによって、画素領域間の境界領域とブラックマトリクスの位置ずれを防止し、ブラックマトリクスの幅を必要最小限の幅に設定可能とすることが提案されている

（例えば、日経 B P 社発行のフラットパネル・ディスプレイ 1995、135-137 頁）。

【0005】 図 3 は、従来の二重遮光構造を備える液晶表示装置のデータ線 5 と直交する方向における断面図である。この図に示すように、透明基板 4 の表面側にはブラックマトリクス用の遮光パターン 11a をデータ線 5 の両側に位置するように形成している。データ線 5 は、両遮光パターン 11a、11a の上方の中間位置に第 1 の層間絶縁膜 7 を介して形成している。データ線 5 は第 2 の層間絶縁膜 13 によって覆われ、層間絶縁膜 13 の上に透明な画素電極 9 を形成している。

【0006】 対向基板 2 には、画素電極 9 に対向して窓パターンを形成したブラックマトリクス 15 が配置されている。ブラックマトリクス 15 は、幅 W3 をもってデータ線 5 とその両側に位置する遮光パターン 11a、11a を覆うように形成している。このように遮光パターン 11a、11a を形成することによって、一重の遮光構造の場合に比べてブラックマトリクス 15 の幅 W3 を狭くして開口率を高めつつ両基板の重合わせ時のマージン W4 を広く確保することができる。

【0007】 しかしながら、液晶表示装置の高輝度化や低消費電力化を図るために開口率の一層の向上が求められ、また、生産性向上のための大型基板の使用に伴い上下の基板の重合わせマージンの拡大が望まれている。

【0008】

【発明が解決しようとする課題】 そこで本発明は、上記の点を考慮してなされたもので、開口率の一層の向上とともに上下の基板の重合わせ時のマージンの拡大を図ることを主な課題とする。

【0009】

【課題を解決するための手段】 本発明のトランジスタアレイ基板は、透明基板上にデータ線とゲート線を層間絶縁膜を介在して交差配置し、前記データ線とゲート線によって区画される画素領域に画素電極とこれをスイッチングする薄膜トランジスタをマトリクス状に設けたトランジスタアレイ基板において、前記データ線の下方に層間絶縁膜を介してデータ線よりも幅広の遮光パターンを配置したことを特徴とする。

【0010】 本発明の液晶表示装置は、透明基板上にデータ線とゲート線を層間絶縁膜を介在して交差配置し、その交点に画素電極と薄膜トランジスタをマトリクス状に設けたトランジスタアレイ基板と、このトランジスタアレイ基板に液晶層を介在して対向配置される対向基板とを備える液晶表示装置において、前記トランジスタアレイ基板は、前記データ線の下方に層間絶縁膜を介して前記データ線よりも幅広の遮光パターンを配置し、前記対向基板は、前記画素領域に対応する開口を有するブラックマトリクスを備えることを特徴とする。

【0011】

【発明の実施の形態】 以下本発明の実施例について図

1、2を参照して説明する。この液晶表示装置は、図1にデータ線5と直交する方向の断面図を示すように、トランジスタアレイ基板1と対向基板2を対向して配置し、その間に液晶層3を備えている。

【0012】前記アレイ基板1は、ガラス基板などの透明で絶縁性の有る透明基板4の上に、図2に模式的な平面図を示すように、画像信号を供給するデータ線5および走査信号を供給するゲート線6を第1の層間絶縁膜7（図1参照）を介在して交差配置している。データ線5とゲート線6によって区画されてマトリクス状に配列された複数の画素領域8の各々には、ITO等の透明電極で構成した画素電極9と、この画素電極9をスイッチングするように前記データ線5とゲート線6に接続した例えば逆スタガ型の薄膜トランジスタ10を配置している。

【0013】透明基板4の上には、前記データ線5の幅よりも広い幅の遮光パターン11をデータ線5の長さ方向に沿って形成している。この遮光パターン11は、前記ゲート線6を形成する際に同時に形成することができ、例えば、Al、Cr、Ta、Mo-Taなどの金属材料が用いられる。この遮光パターン11は、容量結合の問題が生じないように、前記ゲート線6や他の配線とは切り離された浮島の状態としている。そして、透明基板4の全面を覆うように形成されたSiNなどの第1の層間絶縁膜7によってこの遮光パターン11は覆われる。遮光パターン11の上方に位置する第1の層間絶縁膜7上には、薄膜トランジスタのチャンネル形成に用いられるシリコン材料、例えばアモルファスシリコンからなる介在層12が形成されている。この介在層12を設けることによって、データ線5と遮光パターン11との間隔を長くすることができるが、この介在層12は必ずしも設ける必要はない。

【0014】介在層12の上にCrなどからなるデータ配線5が形成され、それらを覆うようにSiNなどの第2の層間絶縁膜13が形成され、その上に前記画素電極9が形成される。

【0015】対向基板2は、ガラス板などの透明で絶縁性の透明基板14の一面に、ブラックマトリクス15、カラーフィルタ16、保護膜17、共通電極18が順次形成されている。前記ブラックマトリクス15は、遮光膜材料を成膜し、これに前記画素領域8と同等の開口をパターンニングすることにより形成されている。カラーフィルタ16は、ブラックマトリクス15の開口を埋めるように設けられているが、白黒表示の際は省略される。共通電極18は、画素電極9と同様にITOなどの透明な電極によって形成される。

【0016】上記のようなアレイ基板1と対向基板2は、画素領域8間の境界領域にブラックマトリクス15が位置するように位置決めされ、液晶配置用の空間を保ったまま図示しないシール材によって両者が固定される。そして、両基板の間に液晶が封入されて前記液晶表示装置が完成する。

【0017】上記のように、アレイ基板1側の遮光パターン11を、データ線5の下方に重ねて配置しているので、対向基板2のブラックマトリクスの幅W1を、図3に示す従来例の幅W1に比べて狭く設定することができる。また、両基板の位置決めの際の重合セマージン（許容寸法）W2を、図3に示す従来例のマージンW4に比べて広く設定することができる。その結果、表示装置の開口率を高めて輝度上昇あるいはバックライトの省電力化を図ることができるとともに、大型基板を用いた場合の組み立て作業性を高めることができる。また、遮光パターン11を、ゲート線6と同一の材料を用いて同時に形成することにより、また、介在層12を薄膜トランジスタ10の材料を用いて形成することにより、新たに製造工程を加えることなく従前と同様の工程で開口率の上昇や位置ずれマージンの増大を図ることができる。

【0018】

【発明の効果】以上説明したように本発明によれば、液晶表示装置の開口率を高めることができるので、高輝度化あるいは低消費電力化を図ることができるとともに、基板の位置決めの際のマージンを増大することができるので、大型基板を用いた場合でもその組立作業性を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置の要部断面図である。

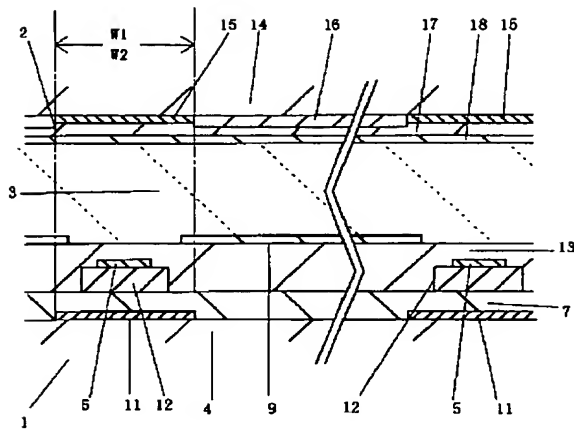
【図2】本発明の実施例に係る薄膜トランジスタアレイ基板の要部平面図である。

【図3】従来例に係る液晶表示装置の要部断面図である。

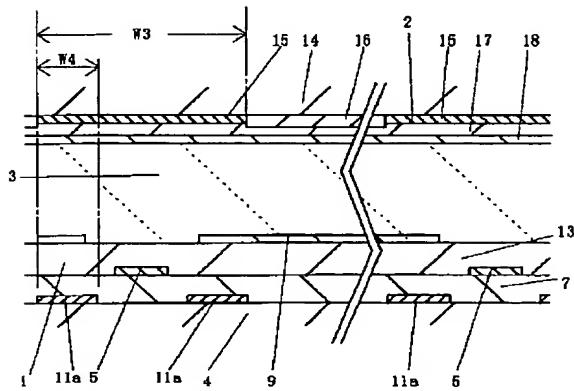
【符号の説明】

- 1 トランジスタアレイ基板
- 2 対向基板
- 3 液晶層
- 5 データ線
- 6 ゲート線
- 7 層間絶縁膜
- 9 画素電極
- 10 薄膜トランジスタ
- 11 遮光パターン
- 15 ブラックマトリクス

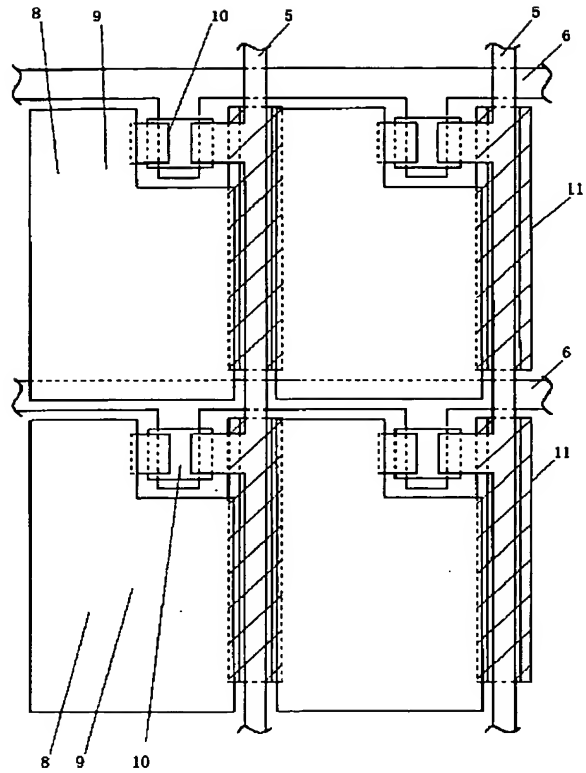
【図 1】



【図 3】



【図 2】



Best Available Copy

フロントページの続き

(51) Int. Cl. 7
H 0 1 L 21/336

識別記号

F I
H 0 1 L 29/78

テーマコード (参考)

6 1 9 B

F ターム (参考) 2H042 AA09 AA15 AA26
2H091 FA35Y FB08 FC02 FC26
FD04 FD22 GA13 LA03 LA12
LA30
2H092 JA26 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB51
JB57 JB63 JB69 KA05 KA07
KA16 KA18 KB14 KB25 MA07
MA13 MA17 MA35 MA37 MA41
NA07 NA25 NA27
5C094 AA06 AA10 AA42 AA43 BA03
BA43 DA14 EB02 ED15
5F110 AA09 DD02 NN03 NN24 NN44
NN46 NN47

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: 122092/2000
(P2000-122092A)

(43) Date of Publication of Application: April 28, 2000

(51) Int. Cl.⁷:

G 02 F 1/136

G 02 B 5/00

G 02 F 1/1335

G 09 F 9/35

H 01 L 29/786

Identification Number:

500

500

FI:

G 02 F 1/136 500

G 02 B 5/00 B

G 02 F 1/1335 500

G 09 F 9/35

H 01 L 29/78 612 Z

Theme Code (Reference)

2H042

2H091

2H092

5C094

5F110

/Continued to the last page.

Request for Examination: not made

Number of Claims: 2 (4 pages in total)

(21) Application Number Hei-10-297004

(22) Application Date: October 19, 1998

(71) Applicants: 000001889

Sanyo Electric Co., Ltd.

2-5-5, Keihan Hondori, Moriguchi-shi,

Osaka-fu

000214892

Tottori Sanyo Electric Co., Ltd.

3-201, Minami Yoshikata, Tottori-shi,

Tottori-ken

(72) Inventor: YAMAUCHI Takao

c/o Tottori Sanyo Electric Co., Ltd.

3-201, Minami Yoshikata, Tottori-shi,

Tottori-ken

(74) Agent: 100076794

Patent Attorney, YASUTOMI Koji (Other 1)

/Continued to the last page.

[Title of the Invention]

TRANSISTOR ARRAY SUBSTRATE AND LIQUID CRYSTAL DISPLAY
DEVICE

(57) [Abstract]

[Purpose] To improve an aperture ratio and to enlarge an alignment margin of upper and lower substrates.

[Constitution] This liquid crystal display device includes: a transistor array substrate 1, in which data lines 5 and gate lines are disposed to intersect each other through an interlayer insulating film 7 on a transparent substrate 4 and a pixel electrode 9 and a thin film transistor are provided in a matrix at the point of intersection; and a counter substrate 2 disposed opposite to the substrate 1 through a liquid crystal layer 3. The transistor array substrate 1 is provided with a light shielding pattern 11 wider than the data line 5, which is disposed under the data lines 5 through the interlayer insulating film 7, and the counter substrate 2 is provided with a black matrix 15 having an opening corresponding to the pixel region.

[Claims]

[Claim 1] A transistor array substrate, in which a data line and a gate line are disposed to intersect each other through an interlayer insulating film on a transparent substrate, and a pixel electrode and a thin film transistor for switching it are provided in pixel regions partitioned by the data lines and the gate lines in a matrix, characterized in that a light shielding pattern wider than the data line is disposed under

the data lines through the interlayer insulating film.

[Claim 2] A liquid crystal display device, comprising:
a transistor array substrate in which a data line and a gate
line are disposed to intersect each other through an interlayer
insulating film on a transparent substrate, and a pixel electrode
and a thin film transistor are provided in an intersecting part
thereof in a matrix; and a counter substrate disposed opposite
to the transistor array substrate through a liquid crystal layer,
wherein the transistor array substrate is provided with a light
shielding pattern wider than the data line, which is disposed
under the data lines through the interlayer insulating film,
and the counter substrate is provided with a black matrix having
an opening corresponding to the pixel region.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a transistor array substrate
and a liquid crystal display device using it.

[0002]

[Prior Art]

In a general liquid crystal display device using a
transistor array substrate, data lines for supplying an image
signal to a transparent substrate and gate lines for supplying
a scan signal are disposed like a grid, liquid crystal is enclosed
between a substrate where the respective pixel regions are

portioned and formed and a counter substrate where a common electrode is formed on a transparent substrate, and the potential applied between the common electrode and a pixel electrode of each pixel region is controlled to vary the alignment state of liquid crystal in every pixel region.

[0003]

In this type of liquid crystal display device, in order to heighten the brilliancy of a display in every pixel, a light shielding black matrix is formed corresponding to a boundary region between the pixel regions on the counter substrate where the common electrode is formed, and two substrates are disposed to opposite each other so that the black matrix is located in the boundary region between the pixel regions. In this case, when positional shifting is caused between the boundary region between the pixel regions and the black matrix, the quality of display is deteriorated. Therefore, a margin (an allowable dimension) is given to the width of the black matrix, thereby preventing the occurrence of the above positional shifting. Such widening of the black matrix to have a margin causes lowering of an aperture ratio in a pixel region (the area ratio of a display enable region), resulting in the problem of hindering the improvement in display quality.

[0004]

Therefore, it has been proposed that the black matrix is formed on the transistor array substrate side as well to

form a double light-shielding structure, whereby positional shifting between the boundary region between the pixel regions and the black matrix is prevented to set the width of the black matrix to the minimum width (e.g. page 135 to 137 of "Flat Panel Display 1995" issued by NIKKEI BP Corp).

[0005]

Fig. 3 is a sectional view taken in the direction of intersecting perpendicularly to a data line 5 of the conventional liquid crystal display device having a double light-shielding structure. As shown in the drawing, a light shielding pattern 11a for a black matrix is formed on the surface side of a transparent substrate 4 to position on both sides of a data line 5. The data line 5 is formed in intermediate position above both light-shielding patterns 11a, 11a through a first interlayer insulating film 7. The data line 5 is covered with a second interlayer insulating film 13, and a transparent pixel electrode 9 is formed on the interlayer insulating film 13.

[0006]

A counter substrate 2 is provided with a back matrix 15 where a window pattern is formed opposite to the pixel electrode 9. The black matrix 15 is formed with a width W_3 to cover the data line 5 and the light shielding patterns 11a, 11a positioned on both sides thereof. The light-shielding patterns 11a, 11a are thus formed, whereby while the width W_3 of the black matrix 15 is reduced to heighten an aperture ratio as compared with

that in the case of a single-layered light shielding structure, a margin W4 in alignment of both substrates can be secured larger.

[0007]

In order to attain high luminance and reduction of power consumption in the liquid crystal display device, however, further improvement in the aperture ratio has been demanded and also enlargement of a margin in alignment of both substrates has been requested as a large-sized substrate is used to improve the productivity.

[0008]

[Problems that the Invention is to Solve]

This invention has been made in consideration of the above point, and it is the main object to further improve an aperture ratio and also enlarge a margin in alignment of upper and lower substrates.

[0009]

[Means for Solving the Problems]

This invention provides a transistor array substrate, in which a data line and a gate line are disposed to intersect each other through an interlayer insulating film on a transparent substrate, and a pixel electrode and a thin film transistor for switching it are provided in pixel regions partitioned by the data lines and the gate lines in a matrix, characterized in that a light shielding pattern wider than the data line is disposed under the data lines through the interlayer insulating

film.

[0010]

This invention provides a liquid crystal display device, includes: a transistor array substrate in which a data line and a gate line are disposed to intersect each other through an interlayer insulating film on a transparent substrate, and a pixel electrode and a thin film transistor are provided in an intersecting part thereof in a matrix; and a counter substrate disposed opposite to the transistor array substrate through a liquid crystal layer, wherein the transistor array substrate is provided with a light shielding pattern wider than the data line, which is disposed under the data lines through the interlayer insulating film, and the counter substrate is provided with a black matrix having an opening corresponding to the pixel region.

[0011]

[Mode for Carrying Out the Invention]

An embodiment of the invention will now be described with reference to Figs. 1 and 2. A liquid crystal display device is, as shown in a sectional view taken in the direction of interesting perpendicularly to the data line 5 in Fig. 1, constructed so that a transistor array substrate 1 and a counter substrate 2 are disposed opposite to each other, and a liquid crystal layer 3 is provided between them.

[0012]

The array substrate 1 is, as shown in a typical plan view of Fig. 2, constructed so that on a transparent substrate 4 such as a glass substrate, which is transparent and has insulating property, a data line 5 for supplying an image signal and a gate line 6 for supplying a scanning signal are disposed to intersect each other through a first interlayer insulating film 7 (See Fig. 1). A pixel electrode 9 formed of a transparent electrode such as ITO and a thin film transistor 10 of an inverted staggered structure, for example, connected to the data line 5 and the gate line 6 to switch the pixel electrode 9 are disposed in each of a plurality of pixel regions 8 partitioned by the data lines 5 and the gate lines 6 and arranged in a matrix.

[0013]

On the transparent substrate 4, a light-shielding pattern 11 wider than the data line 5 is formed along the longitudinal direction of the data line 5. The light-shielding pattern 11 can be formed simultaneously with formation of the gate line 6, and metal materials such as Al, Cr, Ta and Mo-Ta are used. The light-shielding pattern 11 is put in a floating insular state to be separated from the gate line 6 and the other wirings not to cause the problem of capacitive coupling. The light-shielding pattern 11 is covered with a first interlayer insulating film 7 such as SiN formed to cover the whole surface of the transparent substrate 4. An intervening layer 12 made of silicon material such as amorphous silicon used for forming

a channel of a thin film transistor is formed on the first interlayer insulating film 7 positioned on the upside of the light-shielding pattern 11. Although the space between the data line 5 and the light-shielding pattern 11 can be increased in length by providing the intervening layer 12, it is not always necessary to provide the intervening layer 12.

[0014]

The data line 5 made of Cr or the like is formed on the intervening layer 12, a second interlayer insulating film 13 of SiN or the like is formed to cover them, and the pixel electrode 9 is formed thereon.

[0015]

In the counter substrate 2, a black matrix 15, a color filter 16, an overcoat 17 and a common electrode 18 are sequentially formed all over a transparent substrate 14 such as a glass plate, which is transparent and has insulating property. The black matrix 15 is formed by depositing light-shielding film material and patterning an opening equal to the pixel region 8. Although the color filter 16 is provided to fill in the opening of the black matrix 15, it is omitted in the case of black-and-white display. The common electrode 18 is formed of a transparent electrode such as ITO similarly to the pixel electrode 9.

[0016]

The above array substrate 1 and counter substrate 2 are

positioned so that the black matrix 15 is located in the boundary region between the pixel regions 8, and both are fixed with the space for disposing liquid crystal kept as it is by sealing material not shown. Liquid crystal is enclosed between both substrates to complete the liquid crystal display device.

[0017]

The light-shielding pattern 11 on the array substrate 1 side is, as described above, disposed below the data line 5 in layers, whereby the width W1 of the black matrix of the counter substrate 2 can be set narrower than the width W1 of the prior art shown in Fig. 3. Further, an alignment margin (an allowable dimension) W2 in positioning both substrates can be set larger than the margin W4 of the prior art shown in Fig. 3. As a result, the aperture ratio of the display device can be heightened to increase the luminance or achieve power-saving of the backlight, and also the assembling work efficiency in the case of using a large-sized substrate can be heightened. Further, the light-shielding pattern 11 is formed simultaneously with formation of the gate line 6 using the same material, and the intervening layer 12 is formed using the material of the thin film transistor 10, whereby the aperture ratio can be heightened and the shift margin can be increased without addition of a new manufacturing process in the same process as before.

[0018]

[Advantage of the Invention]

According to the invention, as described above, the aperture ratio of the liquid crystal display device can be heightened to heighten the luminance and reduce the power consumption, and also the margin in positioning the substrates can be increased so that the assembling work efficiency can be heightened even in the case of using a large-sized substrate.

[Brief Description of the Drawings]

Fig. 1 is a sectional view of the principal part of a liquid crystal display device according to an embodiment of the invention;

Fig. 2 is a plan view of the principal part of a thin film transistor array substrate according to an embodiment of the invention; and

Fig. 3 is a sectional view of the principal part of a liquid crystal display device according to the prior art.

[Description of the Reference Numerals and Signs]

- 1: transistor array substrate
- 2: counter substrate
- 3: liquid crystal layer
- 5: data line
- 6: gate line
- 7: interlayer insulating film
- 9: pixel electrode
- 10: thin film transistor

11: light-shielding pattern

15: black matrix

/Continued from the front page.

(51) Int. Cl.⁷

H 01 L 21/336

Identification Number

FI:

H 01 L 29/78 618B

Theme Code (Reference)

F Terms (Reference) 2H042 AA09 AA15 AA26
2H091 FA35Y FB08 FC02 FC26
FD04 FD22 GA13 LA03 LA12
LA30
2H092 JA26 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB51
JB57 JB63 JB69 KA05 KA07
KA16 KA18 KB14 KB25 MA07
MA13 MA17 MA35 MA37 MA41
NA07 NA25 NA27
5C094 AA06 AA10 AA42 AA43 BA03
BA43 DA14 EB02 ED15
5F110 AA09 DD02 NN03 NN24 NN44
NN46 NN47